

Univerza v Ljubljani
Fakulteta za elektrotehniko

Ana Marija Turšič

Sodoben frekvenčni števec za območje radijskih frekvenc

Magistrsko delo

Mentor: prof. dr. Matjaž Vidmar

Ljubljana, 2014

1. Uvod

Ko je Hewlett-Packard leta 1952 predstavil svoj prvi digitalni elektronski števec, HP 524A, je bila to prelomnica na področju elektronske inštrumentacije. Merjenje frekvence do 10 MHz oziroma štetje zaporednih dogodkov v časovnem razmaku do 100 ns je postalo izvedljivo.

Lahko še kakšen opis? Jedrska tehnika?

Odtlej so elektronski števci z nadaljnjim razvojem postajali vedno bolj uporaben in vsestranski pripomoček, ki je našel svoj prostor v laboratorijih, v proizvodnih linijah in servisnih centrih za telekomunikacije, elektroniko, v vojski, računalništvu, izobraževalnih ustanovah in v drugih industrijah. K širjenju nabora produktov (izdelkov) in njihovih zmogljivosti na trgu števcov so med drugim prispevali: vzpon integriranih vezij, (višja hitrost delovanja in višja stopnja integracije MOS LSI vezij) ter kasneje mikroprocesor.

1.1 Osnova delovanja števcov frekvence

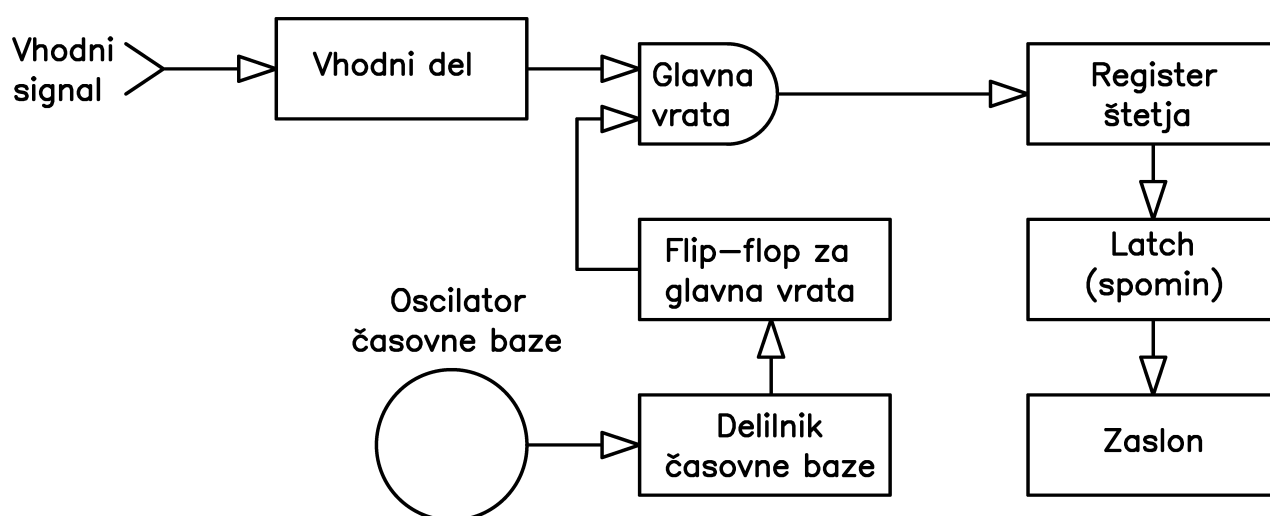
Frekvenco, f , ponavljajočega se signala, lahko definiramo kot število impulzov signala v časovni enoti. To je predstavljeno z enačbo (1):

$$f = \frac{n}{t} \quad (1)$$

kjer je n število impulzov signala, ki se pojavi v časovnem intervalu, t .

Če za t izberemo 1 sekundo, potem je frekvenca izražena v impulzih na sekundo oziroma v Hertzih (Hz).

Kot nakazuje enačba (1), klasični števci frekvence merijo frekvenco tako, da preštejejo število impulzov, n , (naraščajoče ali padajoče fronte signala) v točno določenem časovnem intervalu intervalom, t . Osnovni načrt preprostega števca frekvence je narisana na Sliki 1.1.



Slika 1.1: Osnovna blokovna shema klasičnega števca frekvence

Vhodni signal se v vhodnem delu preoblikuje do oblike, ki je združljiva z notranjim vezjem števca, torej z zahtevami uporabljene družine logičnih vezij. Vhodni del mora zagotoviti primerno vhodno občutljivost in vhodno impedanco. Vhodni del je lahko sklopljen izmenično ali pa enosmerno. Vhodni del lahko vsebuje histerezo za čiščenje nizkofrekvenčnih signalov.

Preoblikovani signal, ki pride na vhod glavnih vrat, je niz pulzov, kjer vsak pulz predstavlja en dogodek vhodnega signala. Ko so glavna vrata odprta, pulzi potujejo skozi in se seštejejo v registru štetja. Od časovne baze je odvisno, koliko časa bodo glavna vrata odprta, kar je določeno s časovnim intervalom, t . Iz enačbe (1) je razvidno, da je natančnost meritve frekvence odvisna od natančnosti, s katero je določena časovna baza oziroma časovni interval. Zato večina števcov za osnovo časovne baze uporablja stabilne kristalne oscilatorje s frekvenco 1, 5 ali 10 MHz (TCXO, OCXO).

Ločljivost, L , frekvenčnega števca je neposredno povezana s časom vrat, t , natančneje, ločljivost je recipročna vrednost časa vrat in se meri v Hz oz v s^{-1} , kar prikazuje enačba (2).

$$L = \frac{1}{t} \quad (2)$$

Za ločljivost 1 Hz je torej potreben čas vrat 1 s, za ločljivost 10 Hz desetkrat manj, torej 0.1 s in tako dalje. Ker je rezultat meritve celo število, bo vedno opletal med najmanj dvema sosednjima vrednostima.

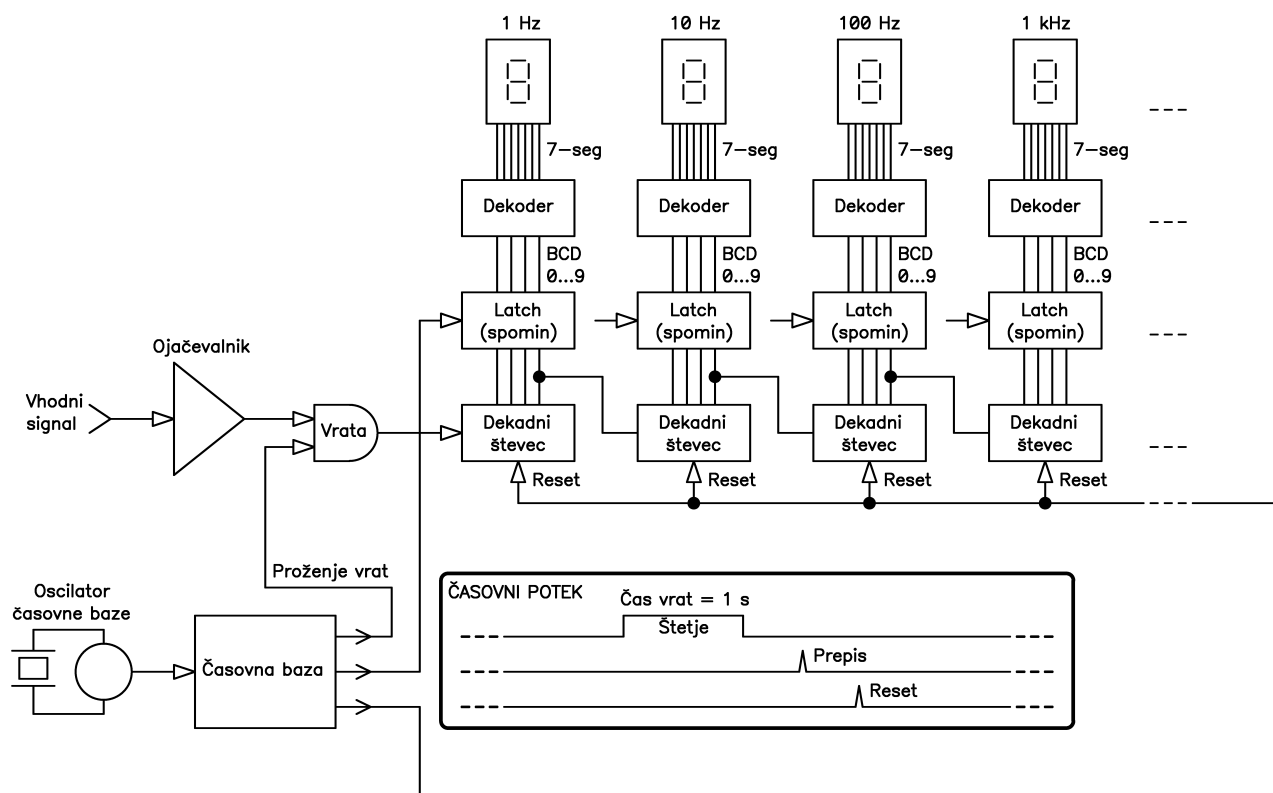
Delilnik časovne baze signal iz oscilatorja preoblikuje v niz pulzov, katerih frekvenca se izbira v dekadnih stopnjah s stikalom. Frekvenca časovne baze krmili (flip-flop) glavnih vrat. Časovni interval, t , oziroma čas vrat, je določen s periodo izbranega niza pulzov, ki izhajajo iz delilnika časovne baze.

Klasični števci frekvence so desetiški. Vsaka desetiška **številk**a ima svoj desetiški števec, svoj vmesni pomnilnik (latch) in svoj dekoder, ki številko iz BCD (Binary Coded Decimal) pretvori v obliko, primerno prikazovalniku: posamezne lučke, nixie cev oziroma sedem-segmentni prikazovalnik. Na vsak desetiški števec je napeljan reset. Vmesne pomnilnike proži signal za prepis.

Vezje s flip-flop-om glavnih vrat proizvaja vse tri krmilne signale: vrata, prepis in reset. Zaporedje dogodkov pri meritvi je sledeče: v času, ko so vrata odprta, se preštejejo cikli vhodnega signala in se zapišejo v dekadni števec. Ko se vrata zaprejo, sledi prepis v spomin, nato se v dekoderju preoblikuje v primerno obliko za izpis na zaslon. Končno se sproži ukaz reset, ki ponastavi dekadne števce, da so pripravljeni na novo meritev.

Izmerjena frekvenca je nato numerično prikazana na zaslonu. Na primer, če je število impulzov, ki jih prešteje register štetja, enako 100.000, in je čas vrat enak eni sekundi, to pomeni, da je frekvenca vhodnega signala enaka 100.000 Hz.

Poenostavljena blokovna shema s časovnim potekom signalov iz časovne baze je podana na Sliki 1.2.



Slika 1.2: Blokovna shema /.../ klasičnega števca in časovni potek signalov iz časovne baze

Omejitev vseh števcov frekvence je najvišja dopustna frekvenca štetja. Za merjenje še višjih frekvenc v radijskem in mikrovalovnem vezju potrebujemo dodatna vezja na vhodu. Sinusne periodične signale zelo visokih frekvenc lahko mešamo na primerno nižjo medfrekvenco, obvladljivo s strani frekvenčnega števca, s pomočjo lokalnega oscilatorja znane frekvence. Proizvajalci merilne opreme so vhodni del števcov najprej opremili z ročno nastavljivim lokalnim oscilatorjem in kasneje še s samodejno nastavljivim. Nekateri mikrovalovni frekvencometri so znali svoja vrata sinhronizirati celo na frekvenco ponavljanja radarskih impulzov.

Frekvenčnemu števcu lahko dodamo tudi zunanji digitalni preddelilnik. Slaba lastnost predelilnika je, da upočasnjuje meritev oziroma poslabša ločljivost meritve za svoj faktor deljenja frekvence. Predelilnik je izdelan v hitri logični družini, običajno ECL in je opremljen z lastnim vhodnim delom s predojačevalnikom. Predelilnik običajno ima en sam izhod zadnje stopnje deljenja in nima nobenega krmilnega vhoda za reset. Ker notranje stanje večstopenjskega predelilnika ni dostopno niti ne moremo nanj vplivati, lahko kvečjemu upočasnimo meritev za faktor deljenja predelilnika oziroma se zadovoljimo z nižjo ločljivostjo meritve.

Ločljivost, L , je pri števcih frekvence s predelilnikom poleg časa vrat, t , povezana tudi s številom stopenj deljenja, torej z modulom N , kar prikazuje enačba (3).

$$L = \frac{N}{t} \quad (3)$$

Iz enačbe (3) sledi, da je za isto ločljivost (npr. 10 Hz) pri manjšem modulu oziroma

odsotnosti ($N=1$) preddelilnika potreben čas vrat manjši kot pri večjem modulu. Z drugimi besedami, bolj kot delimo vhodno frekvenco, počasneje dobimo rezultat meritve, saj je čas vrat daljši, ob dejstvu, da obdržimo enako ločljivost.

Osnovni frekvenčni števec v tehnologiji TTL običajno dosega frekvenčno mejo okoli 50MHz, v sodobnih CMOS tehnologijah nekaj stop MHz.. Preddelilniki dosegajo frekvence od 1GHz do preko 20GHz. Modulo deljenja preddelilnika je lahko desetiški za preprosto uporabo oziroma dvojiški za najvišjo možno frekvenco štetja. Najvišja možna frekvenca štetja preprečuje, da bi vhodni ojačevalnik preddelilnika vseboval histerezo. Spodnja frekvenčna meja preddelilnika je zato omejena na 30MHz ali več.

Pri marsikaterem števcu frekvence predstavlja težavo tudi slaba izvedba vhodnega dela, ki ima neprimerno vhodno impedanco in je opremljen z neustrezno sondo.

Pomankljivost večine frekvenčnih števcov je tudi to, da merilnik ne preverja niti uporabniku ne sporoča, ali je jakost vhodnega signala znotraj meja, v katerih vhodni del lahko deluje in števec zanesljivo šteje. Večina števcov se pri tem zanaša na opazovanje uporabnika, ki ocenjuje zanesljivost meritve iz opletanja rezultata.

Klasični števci frekvence imajo to nezaželeno značilnost, da kljub konstantnemu vhodnemu signalu, torej ko spreminjanja frekvence ni, preštejejo in izpišejo en impulz, kar ni točno. Razlog za to se skriva v izvedbi vrat. Vhoda v vrata sta dva, prvi je neznana frekvenca, drugi pa signal iz časovne baze, ki določa interval, v katerem so vrata odprta. V primeru, ko je vhodni signal konstanten, brez impulzov in ga na primer predstavlja logična enica, „1“, potem vsakokrat v času, ko so vrata odprta, register štetja našteje en impulz (1 Hz), čeprav tega v resnici ni, in se izpiše na zaslon.

2. Sodoben frekvenčni števec za območje radijskih frekvenc

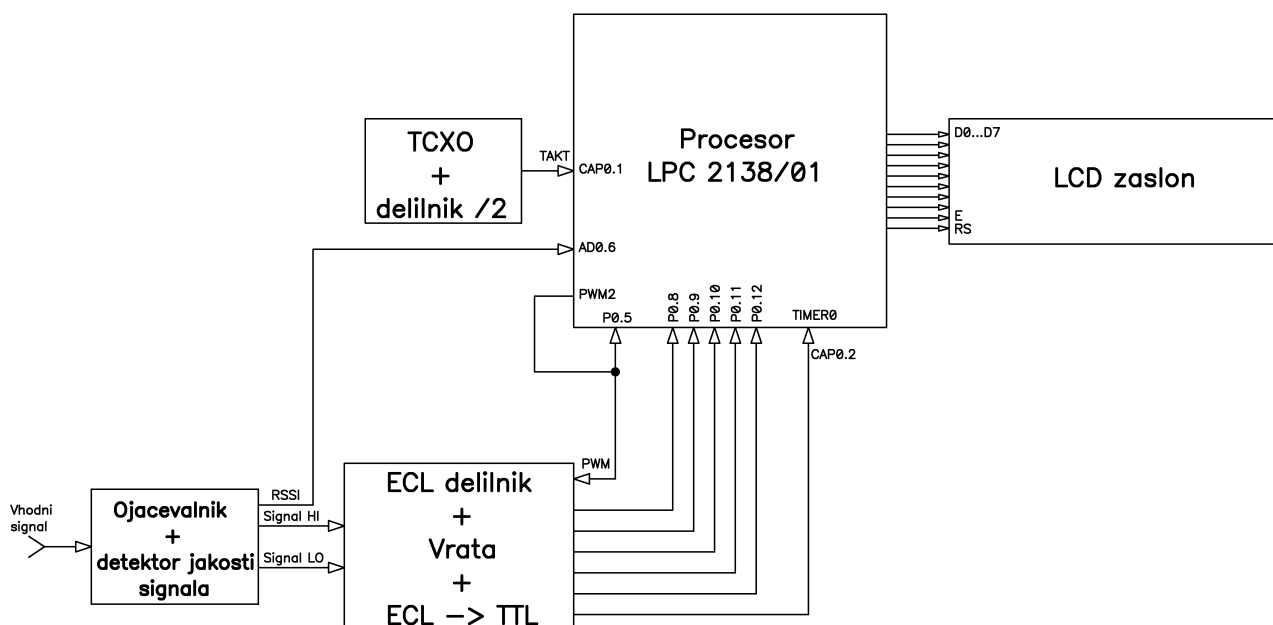
2.1. Zasnova sodobnega števca

V tej nalogi smo iskali izvedbo frekvenčnega števca, ki bi dosegel čim višjo vhodno frekvenco v neposrednem štetju, torej brez uporabe preddelilnikov. Hkrati naj merilnik preverja in prikazuje tudi jakost vhodnega signala kot potrditev pravilnosti meritve.

Sodoben frekvenčni števec, ki je predmet te naloge, deluje brez preddelilnika, imajo vlogo deljenja vhodne frekvence prav tako hitra ECL vezja. Za pomembno razliko od klasičnih števcov z ECL preddelilnikom, ta v prvi stopnji poleg delilnika vsebuje tudi vrata. Vse ostale naloge frekvenčnega števca opravlja mikrokontroler z 32-bitnim procesorjem ARM7 in bogatim naborom vhodno/izhodnih enot.

Mikroprocesor omogoča, da števca ni potrebno ponastavljati za vsako meritev. Rezultat štetja je preprosto razlika med starim in novim stanjem števca, ki jo izračuna mikroprocesor. Obdelava v mikroprocesorju poteka v dvojiški obliki, tudi vsi števci so dvojiški, kar se odraža v hitrejšem delovanju inštrumenta in višji gornji frekvenčni meji. Rezultat meritve se pretvori v desetiško obliko pretvori šele tik pred izpisom na zaslon.

Osnovna blokovna shema sodobnega frekvenčnega števca je prikazana na Sliki 2.1.



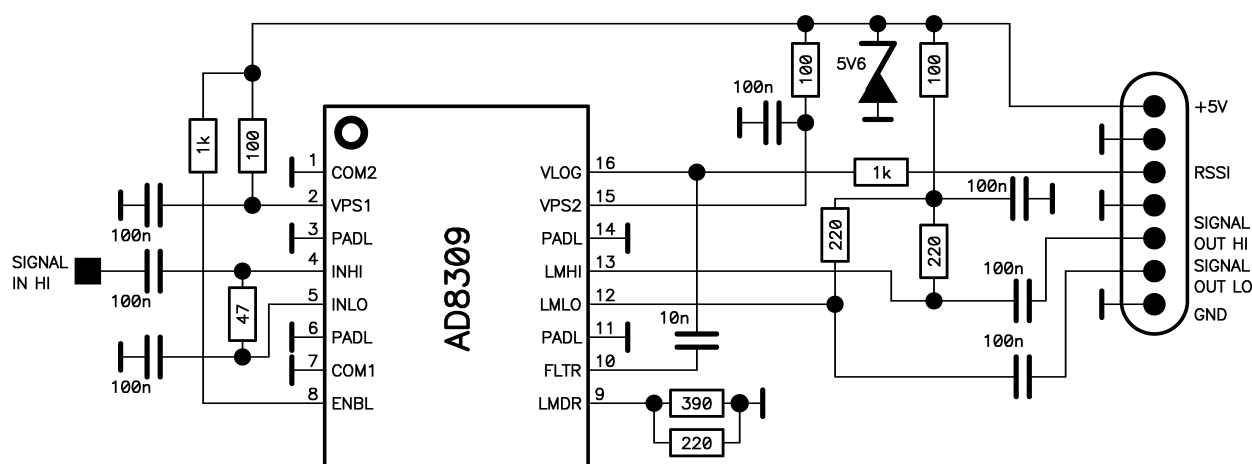
Slika 2.1: Osnovna blokovna shema sodobnega frekvenčnega števca

2.1. Vhodni del števca

Prvi člen frekvenčnega števca je čip AD8309, ki vsebuje ojačevalnik-omejevalnik in logaritemski detektor jakosti vhodnega signala. Ojačevalnik-omejevalnik krmili digitalni del števca z oblikovanim signalom znane jakosti. Logaritemski detektor meri jakost vhodnega

signala v razponu 100dB. Delovanje ojačevalnika-omejevalnika in logaritemskega detektorja je zagotovljeno v razponu frekvenc od 5MHz do 500MHz. S popravki v programski opremi mikrokrmilnika smo uspeli doseči zadovoljivo delovanje vezja AD8309 v razponu od 2MHz do 800MHz.

Neznani signal iz sonde z zanko oziroma drugega nizkoimpedančnega vira pripeljemo preko SMA vhoda na ploščico s čipom AD8309. Kondenzatorja 100nF poskrbita za izmenični sklop in pravilno delovno točko AD8309. Upor 47 Ω poskrbi za vhodno zaključitev približno 50 Ω za izmenične signale. Inštrument je namenjen meritvam (približno) sinusnih signalov, zato izmenični sklop zadostuje in ne potrebujemo enosmernega.



Slika 2.2: Podrobna shema vezja za čip AD8309

Nato se v čipu AD8309 signal ojača ter se mu hkrati izmeri logaritemska vrednost. Velikost ojačanja se nastavlja z uporom na pinu LMDR (pin št. 9). Po poskusih se je za optimalno vrednost pokazala upornost 140 Ω (390 Ω || 220 Ω). Zener dioda 5.6 V ima vlogo prenapetostne varovalke. Podroben načrt vezja je predstavljen na Sliki 2.2. Pri nastavljanju velikosti ojačanja je potrebno paziti, da ne nastavimo previsoke vrednosti, saj se potem (preveč ojačan) izhodni signal sklopi nazaj na vhod in lahko pride do samooscilacije vezja.

2.2. Delilniki ECL in vrata

Ojačan merjeni signal pripeljemo na ECL vezja. Pred deljenjem signal zoper izmenično sklopimo preko 100 nF kondenzatorjev ter ga ponovno ojačamo z ECL čipom MC10EL16. Ponovno ojačanje in omejevanje je potrebno, ker signala s čipom AD8309 ne moremo ojačati do ravni, potrebne za krmiljenje nadaljnjih ECL flip-flopov, ki zavrlo hitrejšega delovanja ne vsebujejo ojačevalnika, za razliko od nekaterih drugih delilnikov.

Merjeni signal nato pripeljemo na čip MC100EL52 (D flip-flop), ki skupaj s čipom MC10EL58 (2:1 multiplekser) tvori navidezni JK flip-flop. Vhod D čipa MC100EL52 je vezan na izhod multiplekserja. Izhoda Q oziroma /Q D flip-flopa krmilita vhoda multiplekserja in ostale flip-flope v števnici. Merjeno frekvenco pripeljemo na vhoda CLK in /CLK D flip-flopa, ker diferencialno (dvofazno) krmiljenje omogoča višjo frekvenco

delovanja.

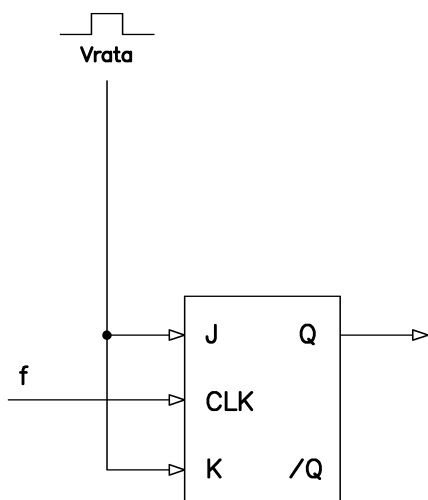
Signal vrat frekvenčnega proizvajalca notranji časovnik mikrokontrolerja na izhodu PWM2. Vrata peljemo na vhod Select multiplekserja, ki zaustavlja oziroma sprošča štetje celotne verige, torej se obnaša kot (negirana) vzporedna vezava vhodov J in K. Ko je PWM2 oziroma Select visok (logična enica), D-flip-flop ob vsakem taktu prepisuje staro stanje. D-flip-flop tedaj ne šteje, je zaustavljen in je zaustavljena celotna veriga flip-flopov za njim. Ko je PWM2 oziroma Select nizek (logična ničla), D-flip-flop ob vsakem taktu menja stanje. D-flip-flop tedaj šteje in deli frekvenco z dva, kar šteje potem naslednji flip-flop v verigi.

Opisana rešitev omogoča točnejše štetje od običajnih IN vrat na vhodu števca. Ne glede na to, ali je vhodni takt zaustavljen v stanju logične enice ali logične ničle, JK flip-flop z zaustavljenim taktom nikoli ne šteje ne glede na impulze na vhodih JK oziroma na vhodu Select opisane navidezne izvedbe JK flip-flopa. Rezultat meritve s takšnim števcem bo torej manj opletal.

Navidezni JK flip-flop, sestavljen iz dveh ločenih ECL čipov, ima tudi eno slabo lastnost. Zakasnitve posameznih ECL čipov se seštevajo. Gornja frekvenčna meja MC100EL52 naj bi bila po podatkih proizvajalca 2.8GHz. **(preveriti)** Sestavljeni navidezni JK-flip-flop je dosegel najvišjo frekvenco štetja 1.2GHz, kar je še vedno boljše od vrednosti, ki jo izračunamo iz navedenih zakasnitev v podatkih proizvajalca.

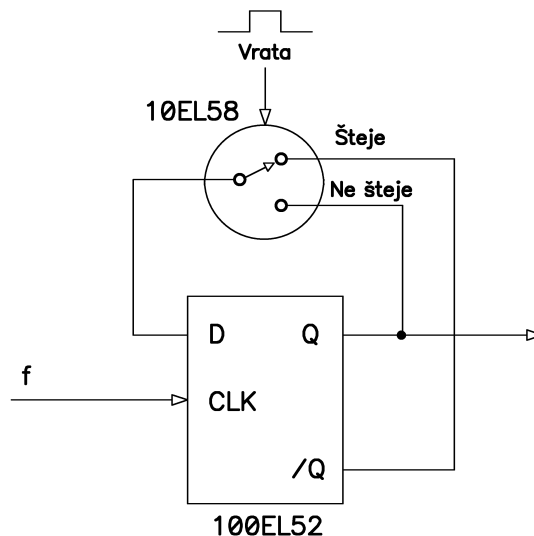
Načrt vezave čipov MC100EL52 in MC10EL58 je predstavljen na Sliki 2.3.

Običajen JK flip–flop:



	J	K	TAKT	Q _n
Ne šteje	0	0	↑	Q _{n-1}
	0	1	↑	0
	1	0	↑	1
Šteje	1	1	↑	Q _{n-1}

Sestavljen JK flip–flop (D flip–flop + 2:1 mux):

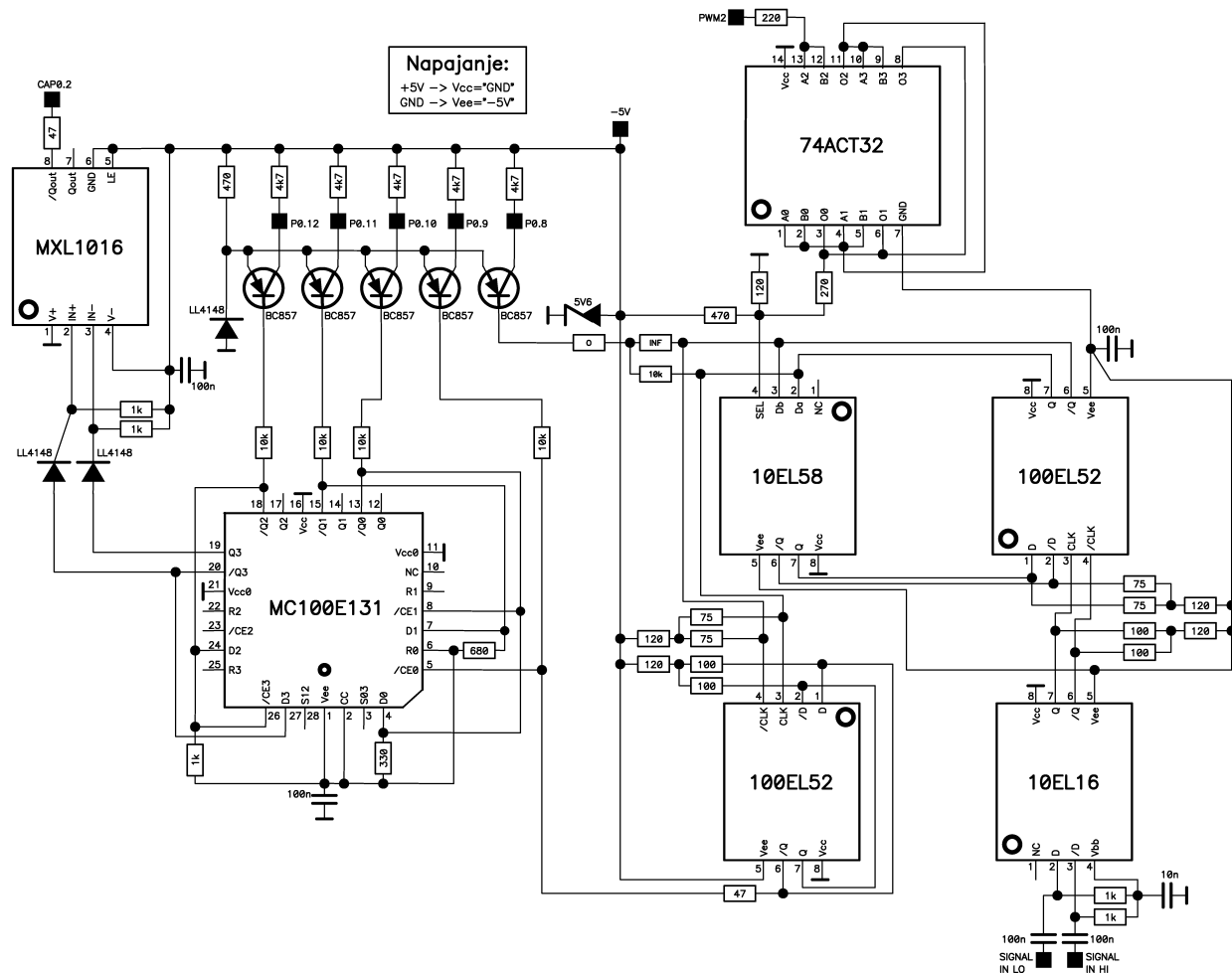


	D	TAKT	Q
Ne šteje	0	↑	0
Šteje	1	↑	1

Slika 2.3: Primerjava izvedbe in tabele običajnega in sestavljenega JK flip-flopa

Signal PWM2, ki proži vrata, je potrebno zaradi različnih napetostnih nivojev delovanja ECL vezij in mikrokrmilnika prej ustrezno prilagoditi. To nalogo opravi čip 74ACT32, ki lahko sprejme različne vhodne napetosti, izhodi iz njega pa so točno definirane napetosti. Tako sprejme signal iz procesorja na približno 3.3 V in ga ojača na 5 V, kolikor znaša njegova napetost napajanja. Nato napetost signala s pomočjo uporov (270 Ω, 120 Ω, 470 Ω) znižamo na napetost 4.2 V, kar predstavlja enico za (P)ECL vezja, medtem ko nivo napetosti okrog 3 V zanje pomeni ničlo. **(preveriti z računom)** Na ta način opravimo pretvorbo iz TTL nivoja na ECL nivo.

Slika 2.4 prikazuje shemo celotnega vezja ECL delilnikov.



Slika 2.4: Shema vezja ECL delilnikov

Prvemu flip-flopu z MC100EL52 in MC10EL58 sledi asinhrona (ripple clocking) veriga števecv: pet ECL flip-flop-ov: še en MC100EL52 in štirje flip-flopi vezja MC100E131 ter števec TIMER0 v mikrokrmilniku LPC2138/01. Skupno vsebuje števec šest ECL flip-flopov, ki delijo vhodno frekvenco 1GHz s 64, kar daje približno 15MHz oziroma ravno toliko, kolikor je TIMER0 v mikrokrmilniku še sposoben obdelati.

TIMER0 krmilimo preko vhoda CAP0.2, ki zahteva TTL ravni signalov. Pretvorbo iz ECL na TTL opravi ultra-hiter primerjalnik MXL1016 s frekvenčno mejo 100MHz.

(preveriti) Ker ECL flip-flopov ne uporabljamo kot preddelilnik, pač pa kot števec, moramo mikrokrmilniku zagotoviti vpogled v vsebino vseh ECL stopenj, ne samo zadnje! Na srečo mikrokrmilnik opazuje vse ostale stopnje razen zadnje v zaustavljenem stanju, torej je dostop do njih lahko razmeroma počasen.

Izhodne signale prvih pet ECL flip-flopov: oba MC100EL52 in prvi trije flip-flopi iz MC100E131 pretvori na TTL ravni pet razmeroma počasnih ojačevalnikov s PNP tranzistorji BC857. Mikrokrmilnik odčitava te signale na vseh petih P0.8, P0.9, P0.10, P0.11 in P0.12. Mikroprocesor omogoča izračun frekvence kot razliko dveh odčitkov števca, torej ponastavljanje števca za novo meritev ni potrebno niti ni potreben reset ECL flip-flopov.

2.3. Vroča masa, vhodne logične ravni in zaključitve izhodov ECL vezij

ECL vezja delujejo na nestandardnih napetostnih nivojih, običajno v negativnem načinu, tako da je pozitiven pol napajalne napetosti vezan na maso, za razliko od večine ostalih vezij, kjer je na maso vezan negativen pol napajalne napetosti. Razlog za takšno vezavo tiči v tem, da se na tak način zmanjša vpliv nihanja napetosti na logičnih nivojih, saj so ECL vezja bolj občutljiva na šum na vhodu V_{CC} in so pretežno imuna na šum na vhodu V_{EE} . Običajno je pri vezjih masa tista, ki zagotavlja najnižje motnje, zato ECL čipi delujejo s pozitivno (vročo) maso.

Delilniki ECL so vgrajeni na dvostransko tiskano vezje, kjer ena stran ni jedkana in predstavlja ravnino mase za ECL vezja, povezano na +5V za vse ostale gradnike frekvenčnega števca. ECL logična enica le -0.8V pod maso V_{CC} oziroma +4.2V nad Vee, logična ničla pa -2V pod maso V_{CC} oziroma +3V nad Vee. Pri uporabi ECL vezij moramo paziti predvsem na pravilno napetost logične enice, kjer previsoka vhodna napetost pošlje tranzistorje v nasičenje, kar zelo upočasni delovanje.

Izhodi ECL vezij so odprti emitorji NPN tranzistorjev, ki zahtevajo zunanje zaključitvene upore. Najzahtevnejše so zaključitve pri najvišjih frekvencah, zato imajo vezja MC10EL16, MC100EL52 in MC10EL58 zaključena oba izhoda z upori zelo nizkih vrednosti. Flip-flopi iz MC100E131 imajo zaključene samo uporabljene izhode in to na uporih čedalje višjih vrednosti, kot se frekvenca delovanja znižuje. Neuporabljeni izhodi MC100E131 so nezaključeni.

Literatura

<http://www.dos4ever.com/trochotron/TROCH.html>

http://www.tube-tester.com/sites/nixie/different/e1t-tubes/E1T_philips/e1t-phil.htm

<http://www.tubeclockdb.com/news/236-zetalinkbiz.html/on-ebay/162-vintage-tube-counter-e1t-philips-pw4062-gwo.html>

<http://www.cs.ubc.ca/~hilpert/e/edte/PhilipsPW4032/>

<http://www.jogis-roehrenbude.de/Roehren-Geschichtliches/Nixie/E1T.htm>

<http://www.cs.ubc.ca/~hilpert/e/edte/>